

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-145866

(43)公開日 平成5年 (1993) 6月11日

(51)Int. Cl.<sup>5</sup>  
H 0 4 N 5/45

識別記号 庁内整理番号  
7037-5C

F I

技術表示箇所

審査請求 未請求 請求項の数1 (全 10 頁)

(21)出願番号 特願平3-331265

(22)出願日 平成3年 (1991) 11月19日

(71)出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目18番地  
(72)発明者 浅尾 元明  
大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内  
(72)発明者 朽木 伸夫  
大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内  
(72)発明者 水上 一  
大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内  
(74)代理人 弁理士 河野 登夫

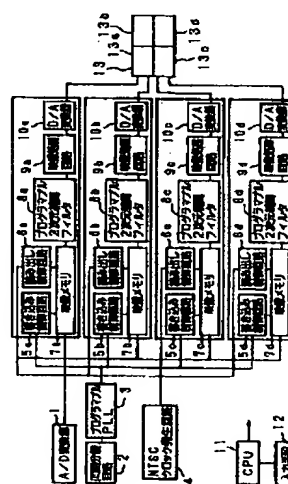
最終頁に続く

(54)【発明の名称】 多画面表示装置

(57)【要約】

【目的】 NTSC方式の映像信号、ハイビジョン方式の映像信号、コンピュータからの映像信号等の種々の方式の映像信号に対して映像を同一のマルチスクリーンに、画質の劣化を少なく1台の多画面表示装置にて拡大表示する。

【構成】 入力された映像信号の水平同期信号に同期して任意の周波数で発振し基準クロックを生成するプログラマブルPLL3と、この基準クロックでA/D変換された映像信号をNTSC方式の大きさに記憶する4個の映像メモリ7a, 7b, 7c, 7dと、NTSC方式の走査方式に変換されて読み出された映像信号から所要の拡大率に応じて補間映像データを作成する4個のプログラマブル2次元補間フィルタ8a, 8b, 8c, 8dとを備える。



BEST AVAILABLE COPY

BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 入力されたアナログの映像信号に該当する映像をN個のNTSC方式の表示器で構成されたマルチスクリーンに拡大表示する多画面表示装置において、入力された映像信号の水平同期信号に同期して任意の周波数で発振し基準クロックを生成する基準クロック生成手段と、前記映像信号をこの基準クロックでA/D変換するA/D変換手段と、A/D変換された映像信号をNTSC方式に基づいて記憶するN個の映像メモリと、該映像メモリに記憶された映像信号をNTSC方式の走査形式に従って読み出すべく前記映像メモリを制御するメモリ制御手段と、NTSC方式に走査変換された映像信号から拡大率に応じて補間映像データを作成するN個の補間手段と、補間された映像信号をD/A変換するN個のD/A変換手段とを備え、D/A変換された映像信号に該当する映像を前記マルチスクリーンに拡大表示すべくしてあることを特徴とする多画面表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数台の表示器で構成されたマルチスクリーンに映像信号に合った映像を表示する多画面表示装置に関し、特に、NTSC方式の映像信号、ハイビジョン方式の映像信号またはコンピュータの映像信号等の種々の方式の映像信号に対して映像を複数台のNTSC方式の表示器で構成されたマルチスクリーンに映し出すことができる多画面表示装置に関するものである。

## 【0002】

【従来の技術】 従来の多画面表示装置に関しては、特開平2-243074号公報または特願平2-262510号に示されるものなどがある。前者の多画面表示装置は、NTSC方式の映像信号に合った映像をマルチスクリーンに拡大表示するためのものであり、後者の多画面表示装置は、ハイビジョン方式の映像信号に合った映像をマルチスクリーンに拡大表示するためのものである。このように、単一の方式の映像信号をのみを入力対象としており、種々の方式の映像信号を対象としたものではない。

【0003】 また、コンピュータの映像信号に合った映像は、機種によってその水平周波数、垂直周波数、表示画素数等が異なっており、従来のNTSC方式またはハイビジョン方式の多画面表示装置では拡大表示することができない。従って、コンピュータの映像信号に合った映像は、スキャンコンバータを用いてNTSC方式またはハイビジョン方式の映像信号に変換した後、従来の多画面表示装置で拡大表示している。

【0004】 図1は、種々の方式の映像信号に対して映像を同一のマルチスクリーンに混在して表示するシステムの1例を示す。NTSC映像ソース51からのNTSC方式の映像信号は、NTSC方式専用であるNTSC多画面表示装置52に

ース53からのハイビジョン方式の映像信号は、一旦映像スイッチャ56に入力される。コンピュータ54からの映像信号は、スキャンコンバータ55によりハイビジョン方式の映像信号に変換された後、映像スイッチャ56に入力される。映像スイッチャ56により、一方のハイビジョン方式の映像信号が選択され、その選択された映像信号が、ハイビジョン方式専用であるハイビジョン多画面表示装置57に入力されて補間処理等が施される。映像スイッチャ58にて、両多画面表示装置52、57から一方の映像信号が選択され、選択された映像信号に合った映像がマルチスクリーン59に表示される。

## 【0005】

【発明が解決しようとする課題】 従来の技術では、同一のマルチスクリーンにNTSC方式の映像信号、ハイビジョン方式の映像信号またはコンピュータの映像信号を混在して表示するためには図1に示すように、夫々の方式に対応した多画面表示装置52、57及びスキャンコンバータ55等多くの装置が必要であり、非常に高価なシステムとなっている。また、コンピュータの映像に関しては、一旦スキャンコンバータ55で映像信号の方式を変換するので画質が大きく劣化する要因となっている。

【0006】 本発明は斯かる事情に鑑みてなされたものであり、NTSC方式の映像信号、ハイビジョン方式の映像信号またはコンピュータの映像信号に対して映像を、同一のマルチスクリーンに画質の劣化が少なく表示でき、しかも安価である多画面表示装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明に係る多画面表示装置は、入力されたアナログの映像信号に該当する映像をN個のNTSC方式の表示器で構成されたマルチスクリーンに拡大表示する多画面表示装置において、入力された映像信号の水平同期信号に同期して任意の周波数で発振し基準クロックを生成する基準クロック生成手段と、前記映像信号をこの基準クロックでA/D変換するA/D変換手段と、A/D変換された映像信号をNTSC方式に基づいて記憶するN個の映像メモリと、該映像メモリに記憶された映像信号をNTSC方式の走査形式に従って読み出すべく前記映像メモリを制御するメモリ制御手段と、NTSC方式に走査変換された映像信号から拡大率に応じて補間映像データを作成するN個の補間手段と、補間された映像信号をD/A変換するN個のD/A変換手段とを備え、D/A変換された映像信号に該当する映像を前記マルチスクリーンに拡大表示することを特徴とする。

## 【0008】

【作用】 本発明の多画面表示装置では、入力された映像信号の同期信号に同期して生成した基準クロックにより、入力されたアナログの映像信号をディジタル化し、ディジタル化された映像信号の走査方式をNTSC方式の走査方式に変換し、走査方式変換後の映像信号から所要の

3

拡大率に応じて補間映像データを作成し、補間後の映像信号をアナログ化してマルチスクリーンの各表示器に出力する。

【0009】

【実施例】以下、本発明をその実施例を示す図面に基づいて具体的に説明する。図2は本発明に係る多画面表示装置の一実施例の基本構成を示すブロック図である。ここでは、説明を容易にするために、 $N=4$ つまり4台のNTSC方式の表示器にて構成されたマルチスクリーンに映像を拡大表示する場合について考える。

【0010】図2において1は入力されたアナログの映像信号をディジタル信号に変換するA/D変換器であり、A/D変換器1は変換後の映像信号をNTSC方式の大きさを持った4個の映像メモリ7a, 7b, 7c, 7dへ出力する。各映像メモリ7a, 7b, 7c, 7dは、入力された映像信号の内そのメモリが表示すべき矩形の領域をNTSC方式の大きさで記憶する。また、2は入力された映像信号より同期信号を分離する同期分離回路であり、同期分離回路2は分離した同期信号をプログラマブルPLL3へ出力する。プログラマブルPLL3は、入力された映像信号の種類に応じて適当な周波数の基準クロックを生成し、各映像メモリ7a, 7b, 7c, 7dへの書き込みタイミングを制御する書き込み制御回路5a, 5b, 5c, 5dへ生成した基準クロックを出力する。そして、この基準クロックに従ってA/D変換器1にて入力された映像信号がA/D変換され、ディジタル化された映像信号は映像メモリ7a, 7b, 7c, 7dに入力される。

【0011】また4は、NTSCの基準クロックを発生するNTSCクロック発生回路であり、NTSCクロック発生回路4は、通常8Fsc若しくは4Fsc (Fscはサブキャリア周波数)の基準クロックを発生し、各映像メモリ7a, 7b, 7c, 7dからの読み出しタイミングを制御する読み出し制御回路6a, 6b, 6c, 6dへ発生した基準クロックを出力する。そして、この基準クロックに従って、各映像メモリ7a, 7b, 7c, 7dから各プログラマブル2次元補間フィルタ8a, 8b, 8c, 8dに映像信号が読み出される。

【0012】プログラマブル2次元補間フィルタ8a, 8b, 8c, 8dは、所要の拡大率に応じて補間映像データを作成し、その補間映像データを映像処理回路9a, 9b, 9c, 9dへ出力する。映像処理回路9a, 9b, 9c, 9dは、ブラッキングの付加などの処理を施し、処理後の映像信号を各D/A変換器10a, 10b, 10c, 10dへ出力する。D/A変換器10a, 10b, 10c, 10dは、入力される映像信号をアナログ化して、4個のNTSC方式の表示器13a, 13b, 13c, 13dから構成されたマルチスクリーン13へ出力する。マルチスクリーン13は入力された映像信号に合った映像を表示する。

【0013】なお、図2において11はプログラマブルPLL3及びプログラマブル2次元補間フィルタ8a, 8b, 8c, 8dを制御するためのCPUであり、CPU11には、

4

それらに設定すべき値を入力するためのキーボード或いは通信回線等の入力手段12が接続されている。図3にプログラマブルPLL3の構成例を示す。図3に示すようにプログラマブルPLL3は、入力された水平同期信号と基準クロックを分周して作られた信号との位相を比較する位相比較器31と、位相比較器31の出力を積分するローパスフィルタ32と、複数の電圧制御発振器(VCO)33a, 33b, 33c, 33dと、各VCO33a, 33b, 33c, 33dで発生した基準クロックを分周するプログラマブル分周器34とにて構成される。ここで、プログラマブル分周器34の分周率を入力される映像信号に合わせて適当に設定することによって、その映像信号に同期した任意の周波数の基準クロックを作成することが出来る。

【0014】なお、複数個(本実施例では4個)のVCOを設けている理由は、発生される基準クロックの範囲が数MHz～数百MHzの広範囲に渡っており、1個のVCOでは全範囲をカバーすることが困難であるからである。従って、発信する周波数に従って複数個のVCOを適時切り換える。図4に各プログラマブル2次元補間フィルタ8a, 8b, 8c, 8dのうちの垂直フィルタの構成例を示す。なお、水平フィルタについてはほぼ同様の構成となるのでその説明を省略する。補間フィルタとしては、直線補間フィルタ等多くの種類が考えられるがここでは3次補間フィルタについて簡単に説明する。

【0015】図4において、入力される映像信号に対して夫々1走査線分の遅延を与えるラインメモリ81a, 81b, 81cがこの順に直列に配設されている。また7はそのカウント値により乗算係数を選択するラインカウンタであり、拡大率に応じてその周期が変化する。例えば2本の走査線から3本の走査線を作るような1.5倍の拡大率の場合、このラインカウンタ7は3進カウンタとして動作し、5本から7本を作るような1.4倍の場合は7進カウンタとして動作する。つまり、A本からB本を作る場合はB進カウンタとして動作する。ラインカウンタ7は選択した乗算係数の情報を、乗算係数を保持する係数RAM83a, 83b, 83c, 83dへ与える。各係数RAM83a, 83b, 83c, 83dの内容は拡大率により書き換えられる。ラインメモリ81aに入力される映像信号と係数RAM83aからの係数とが乗算器84aに与えられ、映像データと係数とが乗算される。また、同様に、ラインメモリ81aから出力される映像信号と係数RAM83bからの係数とが乗算器84bに与えられ、ラインメモリ81bから出力される映像信号と係数RAM83cからの係数とが乗算器84cに与えられ、ラインメモリ81cから出力される映像信号と係数RAM83dからの係数とが乗算器84dに与えられ、各乗算器84b, 84c, 84dにおいて映像データと係数とが乗算される。各乗算器84a, 84b, 84c, 84dの出力、つまり夫々に係数がかけられた4ライン分の映像信号が加算器85a, 85b, 86によって加算され、補間映像データが作成される。なお、各映像メモリ7a, 7b, 7c, 7dから同一

ラインの映像信号が読み出されているときは、各ラインメモリ81a, 81b, 81cは更新されないように制御されている。

【0016】以上のように、各プログラマブル2次元補間フィルタ8a, 8b, 8c, 8dは、前後4ラインの映像信号から補間映像データを作成することになり、またラインカウンタの周期と係数RAMの内容を変えれば様々な拡大率に対応できることになる。水平方向の補間フィルタも同様の構成で作成することができるが、水平方向の場合は読み出しクロックの周期を変えて拡大率を変化させることも可能である。

【0017】次に、動作について説明する。同期分離回路2により、入力された映像信号から同期分離された同期信号はプログラマブルPLL3に輸入され、そこで入力された映像信号の種類に応じて適当な周波数の基準クロックが生成される。この基準クロックに従って、A/D変換器1でA/D変換された映像信号は、書き込み制御回路5a, 5b, 5c, 5dの制御動作によって映像メモリ7a, 7b, 7c, 7dに輸入される。

【0018】各映像メモリ7a, 7b, 7c, 7dからの読み出しはNTSC方式の同期によって行わなければならない。このため、NTSCクロック発生回路4にて作成されたNTSCの基準クロックに従って、読み出し制御回路6a, 6b, 6c, 6dの制御動作によって、映像メモリ7a, 7b, 7c, 7dから予め夫々独立に設定された水平拡大率及び垂直拡大率に応じて映像信号が、プログラマブル2次元補間フィルタ8a, 8b, 8c, 8dに読み出される。なお、このNTSCの基準クロックを、外部から供給されるNTSC方式の同期信号に同期して作成してもよい。ここで、入力される映像信号の水平画素数及び走査線数はNTSC方式の整数倍とは限らないので水平拡大率及び垂直拡大率は整数倍ではなく、ある程度任意に設定できる必要がある。

【0019】以上のように、映像メモリ7a, 7b, 7c, 7dの書き込み及び読み出しを制御することによって、入力された映像信号は、NTSC方式の水平周波数及び垂直周波数に走査変換される。映像メモリ7a, 7b, 7c, 7dから読み出された映像信号は、拡大率に合わせて同一の映像データが複数回繰り返されたりまたは0データが挿入されたりしているので、そのままでは正常に表示できず、補間データを作成する必要がある。そこで、プログラマブル2次元補間フィルタ8a, 8b, 8c, 8dにおいて、供給された映像信号から夫々独立に設定された水平拡大率及び垂直拡大率に従って補間映像データが作成される。

【0020】このようにして作成されたNTSC方式の映像信号は、映像処理回路9a, 9b, 9c, 9dでブランキングの付加などの処理を受けた後、D/A変換器10a, 10b, 10c, 10dでD/A変換され、マルチスクリーン13上に映像信号に該当する映像が表示される。ところで多画面表示装置の場合、複数の表示器が存在するので異なる映像を同時にマルチスクリーンに表示する必要が発生する場合

がある。その場合の構成を図5に示す。図5に示すように、各映像（本実施例では3種類）に合わせて、3個のA/D変換器1A, 1B, 1Cと同期分離回路2A, 2B, 2CとプログラマブルPLL3A, 3B, 3Cとを設け、これらと各映像メモリ7a, 7b, 7c, 7dとの間に映像メモリ毎に入力を選択するスイッチ回路14を挿入する。このような構成を採ることにより複数の映像を同時にマルチスクリーン13に表示することが可能となる。

【0021】また、本発明の多画面表示装置において、  
10 NTSC方式より表示画素数が多い映像信号に合った映像を1台のNTSCの表示器に表示する場合には、映像を縮小する必要がある。この映像の縮小を単なる走査線或いは画素の間引きで処理することも可能であるが、その場合、間引かれた部分の映像情報が全く欠落してしまうので画質の劣化が大きくなってしまふ。また、映像メモリの後段に配置された2次元補間フィルタで縮小することも可能であるが、その場合は映像メモリに予めNTSC方式の表示領域より大きな表示領域の部分を記憶する必要が発生し、映像メモリの記憶容量を増大させる必要がある。

20 【0022】従って、映像メモリの前段に縮小用の2次元フィルタを配置すればよい。その垂直縮小フィルタの構成例を図6に示す。垂直縮小フィルタは、夫々K, 1-Kの係数を有する乗算器1, 4と、乗算器1, 4の出力を加算する加算器2と、映像信号を1ライン分遅延させるラインメモリ3とを備える。このフィルタの縮小率は、1/2ないし1/3等で固定とし、細かな縮小率の設定は映像メモリの後段に配置された拡大用のフィルタとの組み合わせで行なうことができる。

30 【0023】ここで、例えば1/2縮小の場合、図7に示すように1ライン毎に係数K及び1-Kの値を変化させると1ラインおきに2ラインを平均化した出力を取り出すことができ、この出力を映像メモリに書き込みことによって映像情報を失うことなく1/2の縮小を実現できる。また、Kを1, 1/2, 1/2あるいは1, 2/3, 1/4と変化させれば1/3の縮小を実現できる。なお、1/2, 1/4等の乗算はビットシフトにより乗算器を使わなくても簡単に実現できる。以上の動作と同様に水平方向も縮小可能である。

40 【0024】なお、入力される映像信号が飛び越し走査により得られた場合、特開平2-243074号公報でも指摘されているような走査線逆転現象が発生することは、本発明の多画面表示装置でも同様である。従って、この場合もA/D変換された映像信号をまず動き適応的に順次走査に変換した後、時間軸変換、拡大処理等を行う構成とすれば走査線逆転現象を防止することができる。このような処理の詳細は、特開平2-243074号公報と同じであるので省略する。

【0025】

50 【発明の効果】以上のように、本発明の多画面表示装置では、入力された映像信号の同期信号に同期して生成し

7

た基準クロックにより、入力されたアナログの映像信号をデジタル化し、デジタル化された映像信号の走査方式をNTSC方式の走査方式に変換し、走査方式変換後の映像信号から所要の拡大率に応じて補間映像データを作成し、補間された映像信号をアナログ化してマルチスクリーンに表示するので、NTSC方式の映像信号、ハイビジョン方式の映像信号に合った映像ばかりでなくコンピュータ等の種々の方式の映像信号に合った映像も同一のマルチスクリーンに、画質の劣化を最小限にとどめながら1台の装置で拡大表示することができる。

【図面の簡単な説明】

【図1】種々の方式の映像信号に対して映像を同一のマルチスクリーンに混在して表示する従来のシステムの構成を示すブロック図である。

【図2】本発明の多画面表示装置の基本構成を示すブロック図である。

【図3】図2におけるプログラマブルPLLの内部構成を示すブロック図である。

【図4】図2におけるプログラマブル2次元補間フィル

8

タの内部構成を示すブロック図である。

【図5】複数の映像を同時表示する場合の本発明の実施例の構成を示すブロック図である。

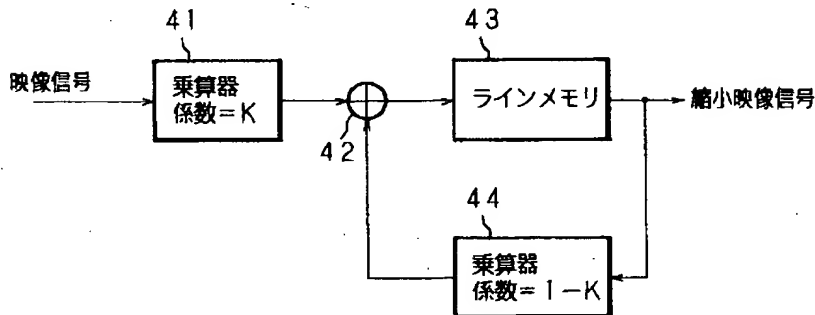
【図6】縮小用の2次元フィルタの内部構成を示すブロック図である。

【図7】図6に示すフィルタの係数の変化と出力の変化とを示す図である。

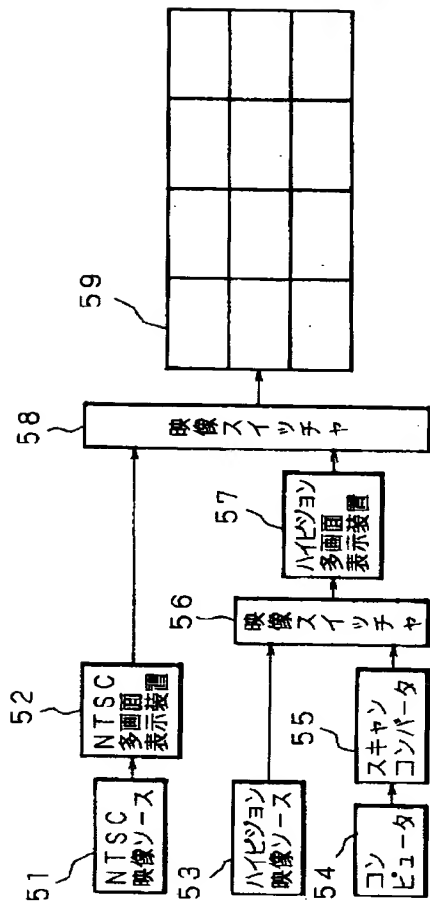
【符号の説明】

- 1, 1A, 1B, 1C A/D変換器
- 2, 2A, 2B, 2C 同期分離回路
- 3, 3A, 3B, 3C プログラマブルPLL
- 4 NTSCクロック発生回路
- 5a, 5b, 5c, 5d 書き込み制御回路
- 6a, 6b, 6c, 6d 読み出し制御回路
- 7a, 7b, 7c, 7d 映像メモリ
- 8a, 8b, 8c, 8d プログラマブル2次元補間フィルタ
- 10a, 10b, 10c, 10d D/A変換器
- 13 マルチスクリーン
- 13a, 13b, 13c, 13d 表示器

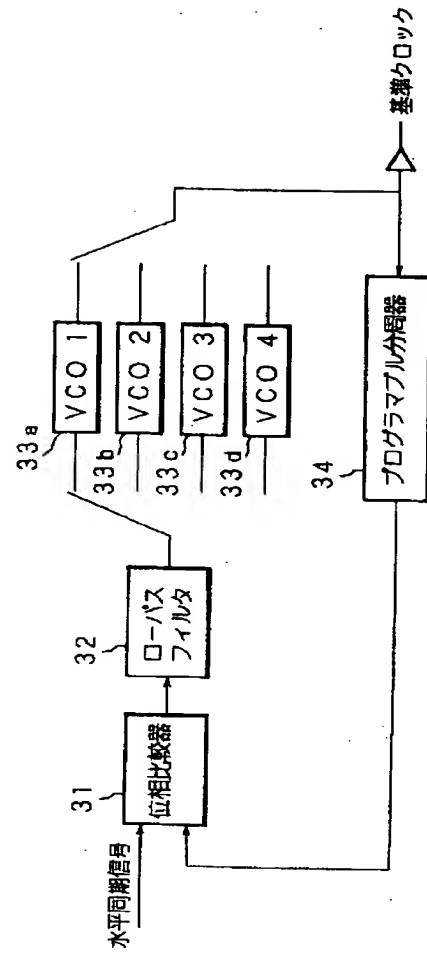
【図6】



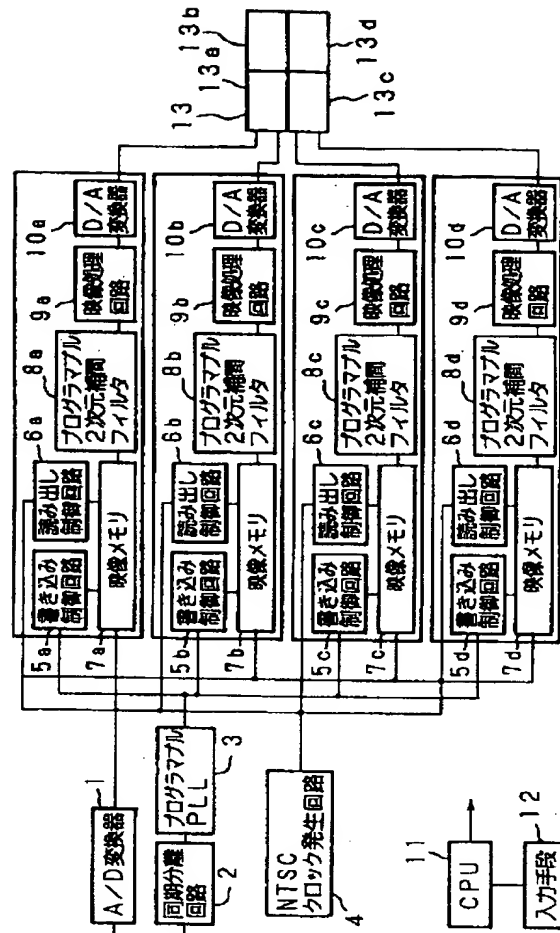
【図1】



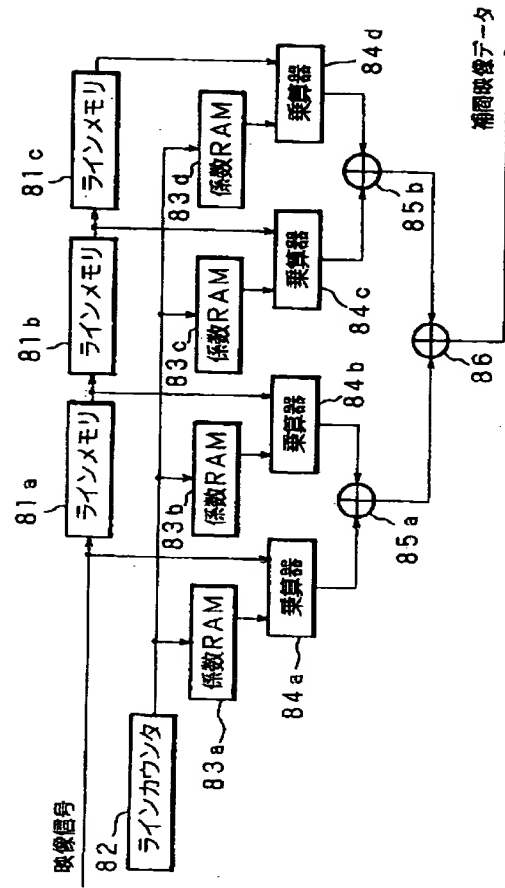
【図3】



【図2】

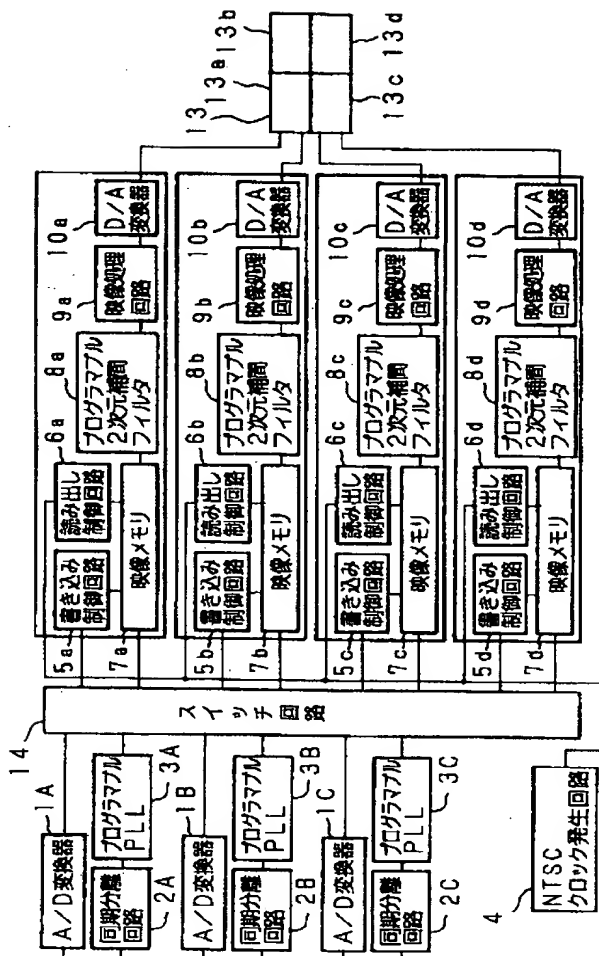


[図4]





【图5】



【図7】

ラインNO	係 数		出 力
	K	1-K	
1	1	0	-----
2	1/2	1/2	$L_0$
3	1	0	$\frac{1}{2}L_0 + \frac{1}{2}L_1$
4	1/2	1/2	$L_2$

---

フロントページの続き

(72)発明者 藤瀬 幸雄  
 大阪府守口市京阪本通2丁目18番地 三洋  
 電機株式会社内